

Best Available Copy

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2006 EPO. All rts. reserv.

16750437

Basic Patent (No,Kind,Date): CA 2256699 AA 19971204 <No. of Patents: 021>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
AU 200075736	A5	20010410	AU 200075736	A	20000829	
CA 2256699	AA	19971204	CA 2256699	A	19960528	(BASIC)
CA 2385119	AA	20010315	CA 2385119	A	20000829	
CA 2256699	C	20030225	CA 2256699	A	19960528	
CN 1387675	A	20021225	CN 2000815450	A	20000829	
CN 1235268	C	20060104	CN 2000815450	A	20000829	
EP 1212784	A1	20020612	EP 2000964925	A	20000829	
EP 1212784	A4	20030129	EP 2000964925	A	20000829	
JP 3204986	B2	20010904	JP 97542270	A	19960528	
JP 2000505241	T2	20000425	JP 97542270	A	19960528	
JP 2003509844	T2	20030311	JP 2001522579	A	20000829	
MX PA02002332	A	20020730	MX PA200200233	A	20020301	
US 20010001745	AA	20010524	US 200533	A	19981127	
US 20030096489	AA	20030522	US 294001	A	20021113	
US 20030119286	AA	20030626	US 308958	A	20021203	
US 20050255640	AA	20051117	US 141815	A	20050601	
US 6555449	BA	20030429	US 390535	A	19990903	
US 6322625	BB	20011127	US 200533	A	19981127	
US 7029996	BB	20060418	US 294001	A	20021113	
WO 9745827	A1	19971204	WO 96US7730	A	19960528	
WO 200118854	A1	20010315	WO 2000US23667	A	20000829	

Priority Data (No,Kind,Date):

US 390535 A 19990903
WO 2000US23667 W 20000829
WO 96US7730 A 19960528
US 200533 A 19981127
WO 96US7730 W 19960528
US 294001 A 20021113
US 390535 A1 19990903
US 308958 A 20021203
US 200533 A2 19981127
US 141815 A 20050601
US 294001 A1 20021113

PATENT FAMILY:

AUSTRALIA (AU)

Patent (No,Kind,Date): AU 200075736 A5 20010410

METHODS FOR PRODUCING UNIFORM LARGE-GRAINED AND GRAIN BOUNDARY LOCATION
MANIPULATED POLYCRYSTALLINE THIN FILM SEMICONDUCTORS USING SEQUENTIAL
LATERAL SOLIDIFICATION (English)

Patent Assignee: UNIV COLUMBIA

Author (Inventor): IM JAMES S; SPOSILI ROBERT S; CROWDER MARK A

Priority (No,Kind,Date): US 390535 A 19990903; WO 2000US23667 W
20000829

Applic (No,Kind,Date): AU 200075736 A 20000829

IPC: * H01L-021/20; H01L-021/36

CA Abstract No: * 134(15)215884N

Language of Document: English

CANADA (CA)

Patent (No,Kind,Date): CA 2256699 AA 19971204

CRYSTALLIZATION PROCESSING OF SEMICONDUCTOR FILM REGIONS ON A
SUBSTRATE, AND DEVICES MADE THEREWITH PROCEDE DE CRISTALLISATION DE
REGIONS D'UNE COUCHE DE SEMI-CONDUCTEUR SUR UN SUBSTRAT, ET

manipulated polycrystalline thin film semiconductors using sequential lateral solidification (English)
Patent Assignee: UNIV COLUMBIA (US)
Author (Inventor): CROWDER J S IM R S SPOSILI M A (US)
Priority (No,Kind,Date): US 390535 A 19990903
Applic (No,Kind,Date): CN 2000815450 A 20000829
IPC: * H01L-0021/02; H01L-0021/20
Language of Document: Chinese

EUROPEAN PATENT OFFICE (EP)

Patent (No,Kind,Date): EP 1212784 A1 20020612
METHODS FOR PRODUCING UNIFORM LARGE-GRAINED AND GRAIN BOUNDARY LOCATION MANIPULATED POLYCRYSTALLINE THIN FILM SEMICONDUCTORS USING SEQUENTIAL LATERAL SOLIDIFICATION (English; French; German)
Patent Assignee: UNIV COLUMBIA (US)
Author (Inventor): IM JAMES S (US); SPOSILI ROBERT S (US); CROWDER MARK A (US)
Priority (No,Kind,Date): WO 2000US23667 W 20000829; US 390535 A 19990903
Applic (No,Kind,Date): EP 2000964925 A 20000829
Designated States: (National) AT; BE; CH; CY; DE; DK; ES; FI; FR; GB; GR; IE; IT; LI; LU; MC; NL; PT; SE
IPC: * H01L-021/20; H01L-021/36
CA Abstract No: * 134(15)215884N
Derwent WPI Acc No: * C 02-105842
Language of Document: English

Patent (No,Kind,Date): EP 1212784 A4 20030129
METHODS FOR PRODUCING UNIFORM LARGE-GRAINED AND GRAIN BOUNDARY LOCATION MANIPULATED POLYCRYSTALLINE THIN FILM SEMICONDUCTORS USING SEQUENTIAL LATERAL SOLIDIFICATION (English; French; German)
Patent Assignee: UNIV COLUMBIA (US)
Author (Inventor): IM JAMES S (US); SPOSILI ROBERT S (US); CROWDER MARK A (US)
Priority (No,Kind,Date): WO 2000US23667 W 20000829; US 390535 A 19990903
Applic (No,Kind,Date): EP 2000964925 A 20000829
Designated States: (National) AT; BE; CH; CY; DE; DK; ES; FI; FR; GB; GR; IE; IT; LI; LU; MC; NL; PT; SE
IPC: * H01L-021/20; H01L-021/36
CA Abstract No: * 134(15)215884N
Derwent WPI Acc No: * C 02-105842
Language of Document: English

EUROPEAN PATENT OFFICE (EP)

Legal Status (No,Type,Date,Code,Text):
EP 1212784 P 19990903 EP AA PRIORITY (PATENT APPLICATION) (PRIORITAET (PATENTANMELDUNG))
US 390535 A 19990903
EP 1212784 P 20000829 EP AA PCT-APPLICATION (PCT-ANMELDUNG)
WO 2000US23667 W 20000829
EP 1212784 P 20000829 EP AE EP-APPLICATION (EUROPAEISCHE ANMELDUNG)
EP 2000964925 A 20000829
EP 1212784 P 20020612 EP AK DESIGNATED CONTRACTING STATES IN AN APPLICATION WITH SEARCH REPORT: (IN EINER ANMELDUNG BENANNTE VERTRAGSSTAATEN)
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE

Author (Inventor): JAMES S IM (US)
Priority (No,Kind,Date): US 390535 A 19990903; WO 2000US23667 W
20000829
Applic (No,Kind,Date): MX PA2002002332 A 20020301
IPC: * H01L-021/20; H01L-021/36
Language of Document: French

UNITED STATES OF AMERICA (US)

Patent (No,Kind,Date): US 20010001745 AA 20010524
CRYSTALLIZATION PROCESSING OF SEMICONDUCTOR FILM REGIONS ON A
SUBSTRATE, AND DEVICES MADE THEREWITH (English)
Patent Assignee: IM JAMES S (US); SONG HYUN JIN (US); SPOSILI ROBERT
S (US); YOON JUNG H (US)
Author (Inventor): IM JAMES S (US); SONG HYUN JIN (US); SPOSILI
ROBERT S (US); YOON JUNG H (US)
Priority (No,Kind,Date): US 200533 A 19981127; WO 96US7730 W
19960528
Applic (No,Kind,Date): US 200533 A 19981127
National Class: * 438747000
IPC: * H01L-021/302
Language of Document: English
Patent (No,Kind,Date): US 20030096489 AA 20030522
Methods for producing uniform large-grained and grain boundary location
manipulated polycrystalline thin film semiconductors using sequential
lateral solidification (English)
Patent Assignee: IM JAMES S (US); SPOSILI ROBERT S (US); CROWDER
MARK A (US)
Author (Inventor): IM JAMES S (US); SPOSILI ROBERT S (US); CROWDER
MARK A (US)
Priority (No,Kind,Date): US 294001 A 20021113; US 390535 A1
19990903
Applic (No,Kind,Date): US 294001 A 20021113
National Class: * 438487000
IPC: * H01L-021/20
Language of Document: English
Patent (No,Kind,Date): US 20030119286 AA 20030626
Method for producing uniform large-grained and grain boundary location
manipulated polycrystalline thin film semiconductors using sequential
lateral solidification (English)
Patent Assignee: IM JAMES S (US); SPOSILI ROBERT S (US); CROWDER
MARK A (US)
Author (Inventor): IM JAMES S (US); SPOSILI ROBERT S (US); CROWDER
MARK A (US)
Priority (No,Kind,Date): US 308958 A 20021203; US 390535 A1
19990903; WO 96US7730 W 19960528; US 200533 A2 19981127
Applic (No,Kind,Date): US 308958 A 20021203
Addnl Info: 6555449 Patented; 6322625 Patented
National Class: * 438487000
IPC: * H01L-021/20; C30B-001/00
Language of Document: English
Patent (No,Kind,Date): US 20050255640 AA 20051117
Methods for producing uniform large-grained and grain boundary location
manipulated polycrystalline thin film semiconductors using sequential
lateral solidification (English)
Patent Assignee: IM JAMES S (US); SPOSILI ROBERT S (US); CROWDER
MARK A (US)
Author (Inventor): IM JAMES S (US); SPOSILI ROBERT S (US); CROWDER
MARK A (US)
Priority (No,Kind,Date): US 141815 A 20050601; US 294001 A1
20021113; US 390535 A1 19990903; WO 96US7730 W 19960528; US
200533 A2 19981127

PART)
 US 200533 A2 19981127
 US 6555449 P 19990903 US AE APPLICATION DATA (PATENT)
 (APPL. DATA (PATENT))
 US 390535 A 19990903
 US 6555449 P 19991021 US AS ASSIGNMENT
 DATE: 19991013 ; TRUSTEES OF COLUMBIA
 UNIVERSITY IN THE CITY OF NEW ; ASSIGNMENT OF
 ASSIGNORS INTEREST;ASSIGNORS:IM, JAMES
 S.;SPOSILI, ROBERT S.;CROWDER, MARK
 A.;REEL/FRAME:010330/0692
 US 6555449 P 20030429 US BA PATENT (NO PREVIOUS
 PRE-GRANT PUBLICATION)
 US 6555449 P 20040601 US CC CERTIFICATE OF CORRECTION
 US 20010001745 P 19960528 US AA PCT-APPLICATION
 WO 96US7730 W 19960528
 US 20010001745 P 19981127 US AE APPLICATION DATA (PATENT)
 (APPL. DATA (PATENT))
 US 200533 A 19981127
 US 20010001745 P 20010524 US AA PRIORITY
 US 20010001745 P 20010524 US A1A1 PATENT APPLICATION
 PUBLICATION (PRE-GRANT)
 US 20030096489 P 19990903 US AA PRIORITY (CONTINUATION)
 US 390535 A1 19990903
 US 20030096489 P 20021113 US AE APPLICATION DATA (PATENT)
 (APPL. DATA (PATENT))
 US 294001 A 20021113
 US 20030096489 P 20030522 US A1A1 PATENT APPLICATION
 PUBLICATION (PRE-GRANT)
 US 20030119286 P 19960528 US AA PCT-APPLICATION
 WO 96US7730 W 19960528
 US 20030119286 P 19981127 US AA PRIORITY (CONTINUATION IN
 PART)
 US 200533 A2 19981127
 US 20030119286 P 19990903 US AA PRIORITY (CONTINUATION)
 US 390535 A1 19990903
 US 20030119286 P 20021203 US AE APPLICATION DATA (PATENT)
 (APPL. DATA (PATENT))
 US 308958 A 20021203
 US 20030119286 P 20030626 US A1A1 PATENT APPLICATION
 PUBLICATION (PRE-GRANT)

WORLD INTELLECTUAL PROPERTY ORGANIZATION, PCT (WO)

Patent (No,Kind,Date): WO 9745827 A1 19971204

CRYSTALLIZATION PROCESSING OF SEMICONDUCTOR FILM REGIONS ON A
 SUBSTRATE, AND DEVICES MADE THEREWITH (English)

Patent Assignee: UNIV COLUMBIA (US); IM JAMES S (US); SONG HYUN JIN
 (US); SPOSILI ROBERT S (US); YOON JUNG H (US)

Author (Inventor): IM JAMES S (US); SONG HYUN JIN (US); SPOSILI
 ROBERT S (US); YOON JUNG H (US)

Priority (No,Kind,Date): WO 96US7730 A 19960528

Applic (No,Kind,Date): WO 96US7730 A 19960528

Designated States: (National) CA; JP; US

Filing Details: WO 10000 With international search report

IPC: * G09G-003/36; H01L-021/20; H01L-021/302; C30B-013/06

CA Abstract No: * 128(05)056337U; 128(05)056337U

Derwent WPI Acc No: * C 98-032877; C 98-032877

Language of Document: English

Patent (No,Kind,Date): WO 200118854 A1 20010315

METHODS FOR PRODUCING UNIFORM LARGE-GRAINED AND GRAIN BOUNDARY LOCATION
 MANIPULATED POLYCRYSTALLINE THIN FILM SEMICONDUCTORS USING SEQUENTIAL

			GB GR IE IT LU MC NL PT SE BF BJ CF CG CI CM GA GN GW ML MR NE SN TD TG
WO 200118854	P	20010315	WO A1 PUBLICATION OF THE INTERNATIONAL APPLICATION WITH THE INTERNATIONAL SEARCH REPORT (PUB. OF THE INTERNATIONAL APPL. WITH THE INTERNATIONAL SEARCH REPORT)
WO 200118854	P	20010509	WO 121 EP: THE EPO HAS BEEN INFORMED BY WIPO THAT EP WAS DESIGNATED IN THIS APPLICATION
WO 200118854	P	20010809	WO DFPE REQUEST FOR PRELIMINARY EXAMINATION FILED PRIOR TO EXPIRATION OF 19TH MONTH FROM PRIORITY DATE
WO 200118854	P	20020228	WO ENP ENTRY INTO THE NATIONAL PHASE IN: CA 2385119 A
WO 200118854	P	20020304	WO ENP ENTRY INTO THE NATIONAL PHASE IN: JP 522579 A
WO 200118854	P	20020403	WO NENP NON-ENTRY INTO THE NATIONAL PHASE IN: RU
WO 200118854	P	20020814	DE 8642/REG IMPACT ABOLISHED FOR DE (WIRKUNG WEGGEFALLEN FUER DE)

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3204986号
(P3204986)

(45) 発行日 平成13年9月4日(2001.9.4)

(24) 登録日 平成13年6月29日(2001.6.29)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 21/20

H 0 1 L 21/20

G 0 2 F 1/1368

G 0 2 F 1/136

5 0 0

H 0 1 L 21/336

H 0 1 L 29/78

6 2 7 G

29/786

請求項の数60(全 11 頁)

(21) 出願番号 特願平9-542270

(86) (22) 出願日 平成8年5月28日(1996.5.28)

(65) 公表番号 特表2000-505241(P2000-505241A)

(43) 公表日 平成12年4月25日(2000.4.25)

(86) 国際出願番号 P C T / U S 9 6 / 0 7 7 3 0

(87) 国際公開番号 W O 9 7 / 4 5 8 2 7

(87) 国際公開日 平成9年12月4日(1997.12.4)

審査請求日 平成11年5月6日(1999.5.6)

早期審査対象出願

(73) 特許権者 999999999

ザ トラスティース オブ コロンビア
ユニヴァーシティ イン ザ シティ
オブ ニューヨーク

アメリカ合衆国 ニューヨーク州

10027-6699 ニューヨーク ブロード

ウェイ アンド ワンハンドレッドシッ

クスティーンズ ストリート (番地な
し)

(74) 代理人 999999999

弁理士 杉村 暁秀 (外5名)

審査官 宮崎 園子

最終頁に続く

(54) 【発明の名称】 基板上の半導体膜領域の結晶化処理及びこの方法により製造されたデバイス

1

(57) 【特許請求の範囲】

【請求項1】 支持された半導体材料の膜の横方向に延在する部分として多結晶領域を形成するに当たり、半導体材料中に熱を誘導するパルス状の放射を用いて、後側に位置する放射透過性の基板と、基板上の第1の半導体膜と、第1の半導体膜上の耐熱性の膜と、耐熱性の膜上の第2の半導体膜とを具える構造体の前側及び後側から同時に露光し、前記横方向に延在する部分を含む半導体膜の横方向に延在する領域の全ての半導体材料を溶融し、同時に露光の後、前記領域の境界から横方向に凝固させることにより、多結晶の微細構造体を前記領域に形成する多結晶領域の形成方法。

【請求項2】 請求項1に記載の方法において、前記領域が平行な縁部により範囲が規定されている方法。

2

【請求項3】 請求項2に記載の方法において、前記平行な縁部が、同時に生ずる横方向からの凝固により前記領域の全体が結晶化する距離だけ離間している方法。

【請求項4】 請求項1に記載の方法において、前記半導体材料がシリコンで構成される方法。

【請求項5】 請求項1に記載の方法において、前記耐熱層がほぼSiO₂で構成されている方法。

【請求項6】 請求項1に記載の本発明において、前記基板をガラス基板とした方法。

10 【請求項7】 請求項1に記載の本発明において、前記基板を水晶基板とした方法。

【請求項8】 請求項1に記載の方法において、前記横方向に延在する部分が前記第1の半導体膜にある方法。

【請求項9】 請求項1に記載の方法において、前記横方向に延在する部分が前記第2の半導体膜にある方法。

成し、この第 1 の部分を次に行なう処理に対する直前の部分とし、

(c) 前記直前の部分からステップ移動方向にステップ移動すると共に前記少なくとも 1 個の半導体結晶と部分的に重なり合う別の部分を露光し、

(d) 前記別の部分の熔融した半導体材料を凝固させ、半導体結晶をステップ移動方向に成長させることにより半導体結晶を拡大させ、

(e) 工程 (c) と (d) の組合せを繰り返し、所望の結晶領域が形成されるまで、各工程の別の部分を次の工程に対する直前の部分とする方法。

【請求項 4 2】請求項 41 に記載の方法において、前記露光される部分を細条とした方法。

【請求項 4 3】請求項 42 に記載の方法において、前記細条が縁部間の幅を有し、縁部からの横方向の同時凝固により前記細条全体が凝固しない方法。

【請求項 4 4】請求項 41 に記載の方法において、前記半導体材料をシリコンで構成した方法。

【請求項 4 5】請求項 41 に記載の方法において、前記露光される部分を山形とした方法。

【請求項 4 6】請求項 41 に記載の方法において、前記基板をガラス基板とした方法。

【請求項 4 7】請求項 41 に記載の方法において、前記基板を水晶基板とした方法。

【請求項 4 8】請求項 41 に記載の方法において、前記横方向に延在する結晶領域が、半導体材料の膜をパターンニングすることにより規定される方法。

【請求項 4 9】請求項 48 に記載の方法において、前記膜のパターンが、テイル部分と、このテイル部分に連続するボトルネック部分と、このボトルネック部分と連続する主アイランド部分とを有し、前膜の放射ビームパルスにより露光される第 1 の部分を前記テイル部分とし、前記露光される別の部分が前記ボトルネック部分及び次に主アイランド部分を通るステップ移動方向に位置する方法。

【請求項 5 0】請求項 41 に記載の方法において、前記露光される部分がマスクパターンにより規定される方法。

【請求項 5 1】請求項 50 に記載の方法において、前記マスクパターンが投影される方法。

【請求項 5 2】請求項 50 に記載の方法において、前記マスクパターンが近接マスクにより規定される方法。

【請求項 5 3】請求項 50 に記載の方法において、前記マスクパターンが接触マスクにより規定される方法。

【請求項 5 4】請求項 41 に記載の方法において、前記放射がレーザ放射により構成される方法。

【請求項 5 5】請求項 41 に記載の方法において、前記領域がカプセル化されている方法。

【請求項 5 6】支持基板上の、請求項 41 に記載の方法により処理された半導体膜。

【請求項 5 7】支持基板上の、請求項 41 に記載の方法に

より処理された半導体膜で構成される複数の半導体デバイス。

【請求項 5 8】支持基板上の、少なくともアクティブチャネル領域が請求項 41 に記載の方法により処理されている薄膜トランジスタを有する集積回路。

【請求項 5 9】少なくともアクティブチャネル領域が請求項 41 に記載の方法により処理されている複数の画素コントローラ薄膜トランジスタを具える液晶表示装置。

【請求項 6 0】少なくともアクティブチャネル領域が請求項 41 に記載の方法により処理されている複数の薄膜トランジスタを具える画素ドライバ集積回路を有する液晶表示装置。

【発明の詳細な説明】

技術分野

本発明は、半導体集積化デバイス用の半導体材料の処理方法に関するものである。

発明の背景

半導体デバイスは例えば水晶又はガラスの基板上のシリコンの層又は膜に形成することができる。この技術はイメージセンサ及びアクティブマトリックス液晶表示装置 (AMLCD) のデバイスの製造に用いられる。後者の場合、適切に透明な基板上の薄膜トランジスタ (TFT) の規則的なアレイにおいて、各トランジスタは画素コントローラとして作用する。市販されている AMLCD デバイスにおいて、薄膜トランジスタは水和したアモルファスシリコン膜に形成される (a-Si:H TFT)。

TFT のスイッチング特性を増強するため、アモルファスシリコンの代わりに多結晶シリコンが用いられている。多結晶構造体は、例えば堆積しているアモルファス又は微結晶シリコン膜をエキシマレーザで結晶化 (ELC) することにより得られる。

しかしながら、ランダムに結晶化している多結晶シリコンを用いる場合、満足されない結果が生じてしまう。小さな粒子のポリシリコンの場合、例えば TFT のアクティブチャネル領域において多数の大きな角度の粒子境界によりデバイス性能が制限されてしまう。大粒子のポリシリコンはこの点に関しては優れているが、ある TFT に別の TFT と比べて顕著な粒子構造の不規則性が存在すると TFT アレイにデバイス特性の不均一性が生じてしまう。

発明の概要

デバイス特性及びデバイスの不均一性を改善するため、基板上の半導体膜に横方向に凝固させる技術を適用する。この人為的に制御されるスーパラテラル成長 (AC SLG) と称せられる技術は、例えばレーザビームパルスのような適当な放射パルスにより膜の一部を露光し、膜をその全厚さにわたって局部的に熔融することを含む。熔融した半導体材料が凝固すると、膜の予め定めた完全に熔融しなかった部分から結晶構造が成長する。

この技術の第 1 の好適な実施例において、露光される

ysik Compex 301の商品名で市販されている。ガラス基板の場合、例えば348nmのようなより長い波長が必要である。

ビーム照射は固定された前側エネルギー密度及び種々の後側エネルギー密度で行う。評価した前側エネルギー密度はサンプル面で約 $1.0\text{J}/\text{cm}^2$ である。後側エネルギー密度は $170\sim 608\text{mJ}/\text{cm}^2$ である。

照射に続いて試験を行うため、膜全体をセコ (Secco) エッチ剤を用いて欠陥エッチングを行い、走査型電子顕微鏡 (SEM) を用いて試験を行った。最も大きな不均一な粒子は $510\text{mJ}/\text{cm}^2$ の後側エネルギー密度の場合に得られた。これらの粒子は細条状領域の2個の側から横方向に成長し、細条の中心線上に良好に規定された粒子境界で2本の粒子列を形成している。

生じた個別の結晶体がTFTのアクティブチャネル領域全体を形成するのに十分でない場合でも、この結晶体は例えば図3A又は図3Bに図示するようなTFTのアクティブチャネル領域として作用できる規則的な又は準規則的な多結晶構造体を形成する。ソース電極31、ドレイン電極32ゲート電極33及びアクティブチャネル領域34を示す。図3Aにおいて、アクティブチャネル領域は、上述したようにして生成された両方の粒子列を含む。図3Bのような十分な大きな粒子の場合、アクティブチャネル領域は粒子の単一系列として形成することができる。

第1の実施例による処理方法において、底部犠牲層21の役割は、ビームにより加熱する場合エネルギーを蓄積する加熱サセプタの役割として理解することができ、最大の効果はこの膜が溶融する場合に得られる。蓄積した熱は凝固中に解放される。これにより、頂部膜23が伝導により熱を喪失する程度が低減される。従って、最大の利点を得るためには、露光される構造体を適切な寸法にすることが重要である。 SiO_2 膜22が薄過ぎる場合、シリコン膜21及び23の放熱は一緒になってしまい、膜21を形成することによる利点が得られない。他方において、膜22が物理的なプロセスの熱拡散距離に対して厚過ぎる場合、膜21が頂部膜23の変換に対して不十分に作用することになる。底部膜21に関して、その厚さは、この膜が十分な熱量を有するように選択する必要がある。しかし、膜21がより厚い場合、この膜を溶融するのにより多くのエネルギーが必要となる。

シリコン層23上にパターンを露光する代わりに、例えば近接マスク、コンタクトマスク又はフォトリソグラフィによりパターン化された堆積したマスク層により所望のパターンを規定することができる。

マスキングの変形例において、マスク層は例えば入射する放射を吸収又は反射することによりマスクの下側の領域での加熱を低減するように作用できる。或いは、適切な厚さの適当なマスク材料を用い場合、相補的な反射防止効果が実現され、付加的なエネルギーをマスク材料の下側の半導体膜に流入させることができる。例えば、

SiO_2 膜を用いてこの効果をシリコン膜に及ぼすことができる。この変形例は、マスク層が溶融した半導体材料に対する拘束部材として作用し、溶融半導体層が表面張力の作用により塊に凝集したり変形するのを防止する利点がある。

第2実施例

図4の露光装置は、エキシマレーザ41、プリズム偏向器42、集束レンズ43、真空チャンバ44及びサンプルを配置するホットステージ45を含む。

10 本発明の図4の露光装置を用いる第2の実施例において、図5のサンプル構造体は、基板50、熱酸化膜51、第1のパターン化されたアモルファスシリコン膜52、 SiO_2 膜53、第2のパターン化されたシリコン膜54、及びさらに堆積した SiO_2 膜55を含む。典型的な厚さは、熱酸化膜51については 100nm とし、アモルファスシリコン膜52については 100nm とし、 SiO_2 膜53については 210nm とし、アモルファスシリコン膜54については 120nm とし、 SiO_2 膜55については 170nm とする。

このサンプル構造体はシリコンウェハ50上の熱酸化膜51上に低圧化学気相堆積 (LPCVD) によりアモルファスシリコン膜52を堆積することにより得られる。シリコン膜52にフォトリソグラフィをコートし、その後ステップにより露光し、現像し、さらにシリコン膜52を SF_6/O_2 プラズマで反応性イオンエッチングを行いパターン形成を行う。シリコン膜52の第1レベルのアイランドの得られたパターンを図6Aに上方から見た図面として示す。このパターンは、デバイスとして使用される四角形の主アイランド領域523、矩形の「テイル」領域521、及びテイル領域521と主アイランド領域523とを結ぶ「ボトルネック」領域522の3個の領域で構成される。これらの寸法は以下のように選択する。テイル領域521については $20\times 10\mu\text{m}$ とし、ボトルネック領域522については $5\times 3\mu\text{m}$ とし、主アイランド領域521については $10\times 10\mu\text{m}$ から $50\times 50\mu\text{m}$ の範囲の異なる寸法とする。

30 第1レベルのアイランドにはプラズマエッチング気相堆積 (PECVD) により SiO_2 膜53を形成し、上側にアモルファスシリコンを堆積する。フォトリソグラフィ処理を用いてアモルファスシリコンについてパターンニングを行い、 $5\times 5\mu\text{m}$ の寸法の「第2レベルのアイランド」54を形成する。第2レベルのアイランド54はテイル領域521の上側に直接位置し露光中のビーム遮光区域として作用する。最後に、この構造体全体にPECVDの SiO_2 層を形成する。

50 処理を行うため、サンプルを 10^{-5} トールの圧力の真空チャンバ内の耐熱性グラファイトのホットステージ上に配置する。別の適当な加熱装置を利用できる場合、真空処理を省略することができる。基板温度が $1000\sim 1200^\circ$ になるまで加熱を行い、これには約3分の立ち上がり時間を必要とする。露光する前にサンプルを最終的な基板温度に約2分間保持する。サンプルの温度は、直接取り

13

部分的に熔融する間に他方の結晶の列が完全に熔融するように設定する。再凝固に際し、部分的に熔融している結晶の列は、する。9Fに示すように、一層長くなる。この態様において、露光される部分を繰り返しシフトすることにより、所望の長さの単一結晶粒子を成長させることができる。

露光された領域のパターンが単一細条でなく、図10Aの端線で規定されるように山形状101である場合、図10B~10Fに示す露光領域を同一の順序でシフトすることにより、シフトされた山形パターンの縁部の頂部から粒子の成長が拡大する。このようにして、単一結晶の領域を幅及び長さを増大しながら成長させることができる。

大面積の単一結晶領域は、図11Aに図示され、テイル領域111、細いボトルネック領域112及び主アイランド領域113を有するパターン化されたアモルファスシリコン膜に順次シフト（ステップ状に）した露光領域を形成することにより成長させることができる。図11A~11Cの領域111、112及び113の断面は、放射遮光アモルファス領域54及び第2の二酸化シリコン層55が存在しないことを除いて図5に示すものと同様である。マスクされた露光又は近接マスクにより規定された露光領域は図11A~11Cの破線により境界された領域により図示されており、この図11はテイル領域111からボトルネック領域112を経て単一粒子を成長させて単一結晶のアイランド領域113を形成するための露光領域の順次の横方向シフト（ステップング）を示す。

図9A~9F、図10A~10F及び図11A~11Cの実施例の順次の横方向熔融及び再凝固は、水晶基板上にコートされ膜厚が100~240nmの二酸化シリコン上に化学気相堆積（CVD）により堆積したアモルファス膜について行っ

10

20

*30

14

*た。単一結晶細条の形成は、欠陥エッチングサンプルの光学式走査電子顕微鏡により確認した。

選択的なものとして、基板を加熱して熔融に必要なビームエネルギーを低減し又は1ステップ当りの横方向の成長距離を増大することができる。この利点は、図1に示すステージ上のサンプルを2方向からの露光により実現することができる。

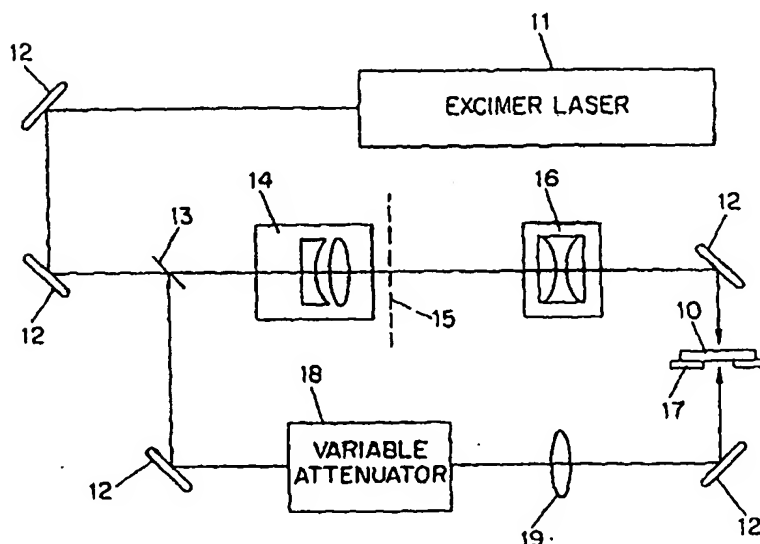
別の処理及び用途

本発明により形成された半導体膜を用いることにより、例えばパターン規定、エッチング、不純物注入、絶縁層の堆積、コンタクト形成、及びパターン化された金属層の相互接続のような良好に確立された別の技術により集積化された半導体デバイスを製造することができる。好適な薄膜半導体トランジスタにおいて、少なくともアクティブチャネル領域は、例えば図3A及び3Bに示す単一結晶の規則的な又は少なくともほぼ規則的な微細構造を有する。

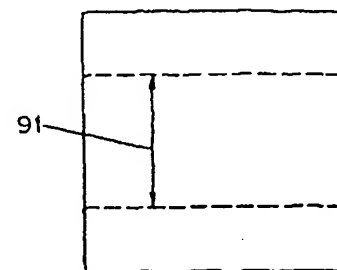
特に注目すべきことは、図12に線図的に示す液晶表示装置にこのようなTFTが含まれることである。このデバイスは、少なくとも表示窓部分121が透明な基板120を含む。この表示窓含む121は画素122の規則的なアレイを含み、各画素はTFT画素コントローラを含む。各画素コントローラはドライバ123により個別にアドレスされることができる。好ましくは、画素コントローラ及び/又はドライバ回路は本発明の技術に基づいて形成した半導体材料で形成する。

別の用途として、イメージセンサ、スタテックランダムアクセスメモリ（SRAM）、シリコン-オイルインシュレータ（SOI）デバイス、及び三次元集積回路デバイスが含まれる。

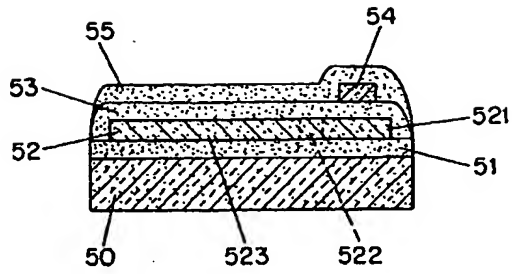
【第1図】



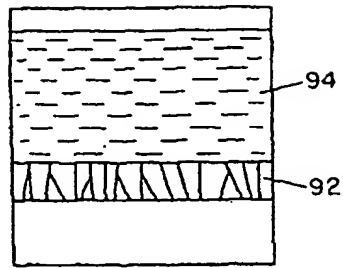
【第9A図】



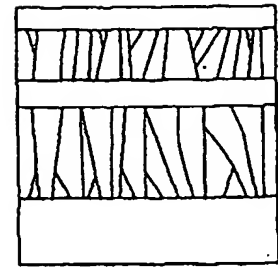
【第5図】



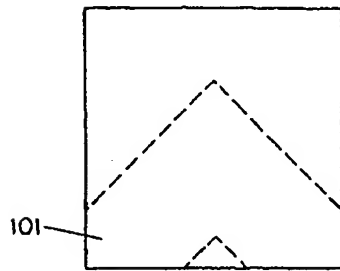
【第9E図】



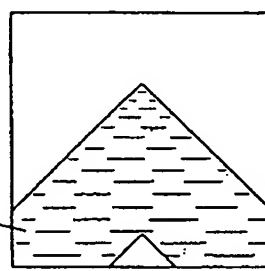
【第9F図】



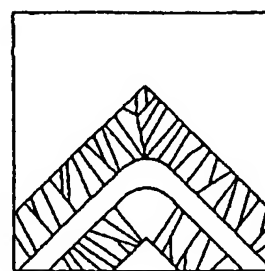
【第10A図】



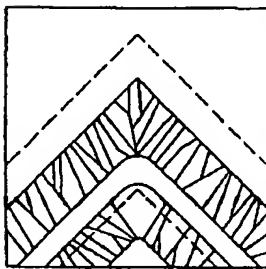
【第10B図】



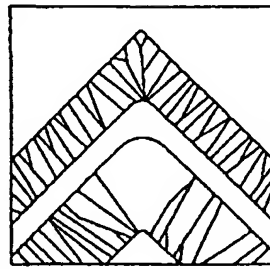
【第10C図】



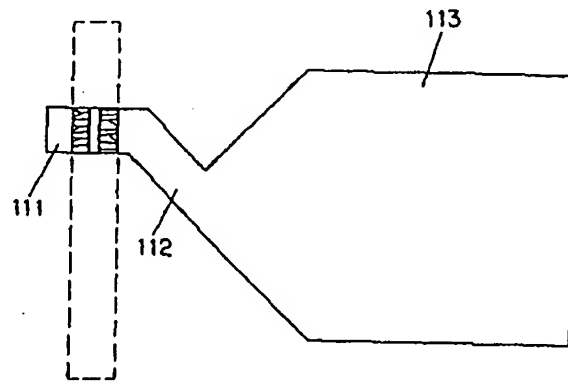
【第10D図】



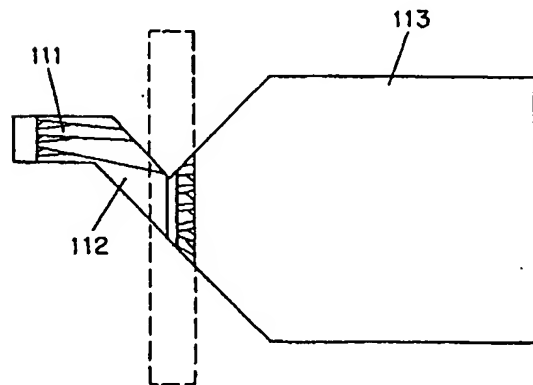
【第10F図】



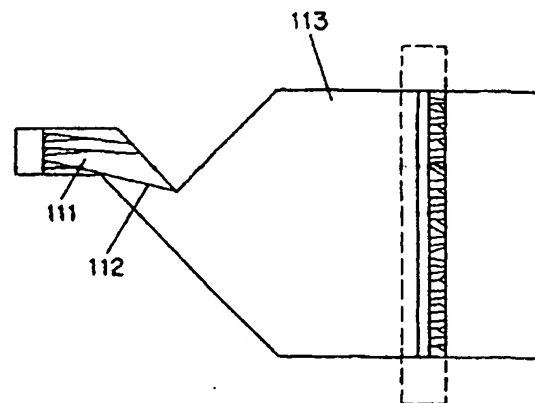
【第11A図】



【第11B図】



【第11C図】



フロントページの続き

(72)発明者 イム ジェイムス エス
 アメリカ合衆国 ニューヨーク州
 10027-6699 ニューヨーク ダブリュ
 ー ワンハンドレッド フォーティーン
 ス ストリート520 アpartment
 ナンバー 74

(56)参考文献 特開 平2-283036 (J P, A)

 特開 平6-252048 (J P, A)

(58)調査した分野(Int.Cl.⁷, D B名)

H01L 21/20

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.